

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-26758

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 29/78

識別記号

F I  
H 0 1 L 29/78

6 5 3 C  
6 5 2 K

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号 特願平9-177885

(22) 出願日 平成9年(1997) 7月3日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 西村 武義

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

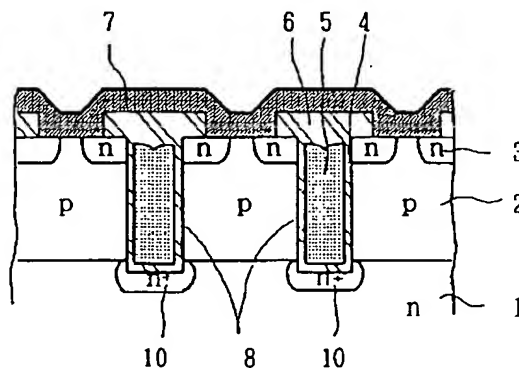
(74) 代理人 弁理士 篠部 正治

(54) 【発明の名称】 トレンチ型MOS半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 トレンチ内に設けられたMOS構造のゲートを有するトレンチ型MOS半導体装置において、耐圧の向上とオン抵抗の低減を図り、しかも実施が容易な製造方法を提供する。

【解決手段】 pチャネル領域2の表面層に形成されたnソース領域3の表面からpチャネル領域2を貫通してnドレイン層1に達するトレンチ8が形成され、ゲート絶縁膜4を挟んで多結晶シリコンからなるゲート電極層5が充填されている。トレンチ8の底面部分にn不純物のイオン注入および熱処理によって、nドレイン層1より不純物濃度の高いn<sup>+</sup>ウェル領域10を設ける。これによって、トレンチの深さとpチャネル領域2の深さとの差xを小さい値としても従来のようなオン抵抗の増大が無いため、オン抵抗が安定し、耐圧を高く保てるようになる。



- |           |                         |
|-----------|-------------------------|
| 1 nドレイン層  | 6 絶縁膜                   |
| 2 pチャネル領域 | 7 ソース電極                 |
| 3 nソース領域  | 8 トレンチ                  |
| 4 ゲート酸化膜  | 10 n <sup>+</sup> ウェル領域 |
| 5 ゲート電極層  |                         |

## 【特許請求の範囲】

【請求項1】第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型チャネル領域を貫通し第一導電型ドレイン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型MOS半導体装置において、トレンチの底部に第一導電型ドレイン層より高濃度の第一導電型ウェル領域を有することを特徴とするトレンチ型MOS半導体装置。

【請求項2】第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドレイン層に近い部分まで第二導電型チャネル領域を掘り下げたトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型MOS半導体装置において、トレンチの底部に第一導電型ドレイン層より高濃度で、第一導電型ドレイン層に達する第一導電型ウェル領域を有することを特徴とするトレンチ型MOS半導体装置。

【請求項3】第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型チャネル領域を貫通し第一導電型ドレイン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型MOS半導体装置の製造方法において、第一導電型の不純物のイオン注入および熱処理により、トレンチの底部に第一導電型ウェル領域を形成することを特徴とするトレンチ型MOS半導体装置の製造方法。

【請求項4】第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドレイン層に近い部分まで第二導電型チャネル領域を掘り下げたトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接

触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型MOS半導体装置の製造方法において、第一導電型の不純物のイオン注入および熱処理により、トレンチの底部に第一導電型ドレイン層に達する第一導電型ウェル領域を形成することを特徴とするトレンチ型MOS半導体装置の製造方法。

【請求項5】トレンチ形成用の絶縁膜マスクを、トレンチ形成後に後退エッチングさせた後、第一導電型不純物濃度のイオン注入および熱処理により、第一導電型ソース領域と第一導電型ウェル領域とを同時に形成することを特徴とする請求項3または4に記載のトレンチ型MOS半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、トレンチ内に絶縁膜を介して埋め込まれた制御用のゲート電極層を有する、MOSFET（金属-酸化膜-半導体構造のゲート電極を有する電界効果トランジスタ）、IGBT（絶縁ゲートバイポーラトランジスタ）、絶縁ゲートサイリスタ、およびそれらの集合体であるインテリジェントパワーモジュール（IPM）などのトレンチ型MOS半導体装置に関する。

## 【0002】

【従来の技術】図6は、従来のトレンチ構造を有するMOS半導体装置の一例であるMOSFETの主要部の部分断面図である。半導体基板であるnドレイン層1の表面層にpチャネル領域2が形成され、そのpチャネル領域2の表面層にnソース領域3が形成されている。nソース領域3の表面からpチャネル領域2を貫通してnドレイン層1に達するトレンチ8が形成され、そのトレンチ8の内部には、ゲート酸化膜4を挟んで多結晶シリコンからなるゲート電極層5が充填されている。nソース領域3の表面上には、pチャネル領域2の表面に共通に接触するソース電極7が、またnドレイン層1の他面にはドレイン電極9が設けられている。6はゲート電極層5を覆う絶縁膜である。nドレイン層1を不純物濃度の異なる二層とすることもある。

【0003】ゲート電極層5に接触して設けられた図示されないゲート電極に適当な電圧を印加することにより、トレンチ8の内壁に沿ったpチャネル領域2の表面層に反転層（チャネル）を生じ、ドレイン電極9とソース電極7間が導通して電流が流れる。

## 【0004】

【発明が解決しようとする課題】図6において、トレンチ構造を有するMOS型半導体装置を動作させるには、nソース領域3と、pチャネル領域2を貫通してnドレイン層1に達するトレンチ8を掘り、そのトレンチ8にゲート酸化膜4を介してゲート電極層5を充填しなければならない。もし、トレンチ8の深さが、pチャネル領

域2より浅い場合にはpチャネル領域2中に反転層が形成されない部分ができ、電流通路が形成されないで、動作しない。従って、トレンチ8の深さとpチャネル領域2の深さとの間には差 $\Delta$ が必要である。

【0005】図7は、耐圧における上記の差 $\Delta$ 依存性を示す特性図である。横軸は、トレンチ8の深さとpチャネル領域2の深さとの差 $\Delta$ 、縦軸は耐圧である。差 $\Delta$ を大きくすると、耐圧が低下していることがわかる。高耐圧を達成するには、差 $\Delta$ を小さい値に抑えなければならない。一方でこの差 $\Delta$ を小さくすると、オン抵抗が増大するという不具合が生じた。これは、差 $\Delta$ が小さいと、ゲート電極に電圧を印加した際に、トレンチ10の底部に十分な反転層が形成されず、チャネル抵抗が増すためと考えられる。

【0006】従って、耐圧が高く、オン抵抗の小さいMOSFETとするためには、トレンチ深さとチャネル領域の差 $\Delta$ を、非常に狭い範囲で制御しなければならないことになり、製造が困難である。またもし、この差 $\Delta$ にばらつきがあると、耐圧や、オン抵抗がばらつくことになる。実際に、オン抵抗のバラツキが同一ロット内で20～30%になることがあった。そしてこの問題は、トレンチ型MOSFETに限らず、MOS構造のゲートをもつトレンチ型半導体装置に共通の問題である。

【0007】以上の問題に鑑み本発明の目的は、耐圧が高く、オン抵抗が小さく、しかも製造が容易なトレンチ構造を有するトレンチ型MOS半導体装置およびその製造方法を提供することにある。

【0008】  
【課題を解決するための手段】前記の課題を解決するため本発明は、第一導電型ドレイン層と、その第一導電型ドレイン層上に設けられた第二導電型チャネル領域と、第二導電型チャネル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型チャネル領域を貫通し第一導電型ドレイン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型チャネル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層に接触して設けられたドレイン電極とからなるトレンチ型MOS半導体装置において、トレンチの底部に第一導電型ドレイン層より高濃度の第一導電型ウェル領域を有するものとする。

【0009】そのようにすれば、トレンチ深さとチャネル領域深さとの差 $\Delta$ が小さくても、低抵抗の第一導電型ウェル領域が反転層の働きをするため、オン抵抗の増大が抑えられることになる。また、トレンチ深さとチャネル領域深さとの差 $\Delta$ の許容範囲が広がる。第一導電型ソース領域の表面から第一導電型ドレイン層に近い部分まで第二導電型チャネル領域を掘り下げたトレンチを有するトレンチ型MOS半導体装置においては、トレンチ

の底部に第一導電型ドレイン層より高濃度で、第一導電型ドレイン層に達する第一導電型ウェル領域を有するものとする。

【0010】そのようにすれば、MOS型半導体装置として動作可能となり、低抵抗の第一導電型ウェル領域が反転層の働きをするため、オン抵抗の増大が抑えられる。また、トレンチ深さとチャネル領域深さとの差 $\Delta$ の許容範囲が一層広がる。上記のようなトレンチ型MOS半導体装置の製造方法としては、第一導電型の不純物のイオン注入および熱処理により、トレンチの底部に第一導電型ウェル領域を形成するものとする。

【0011】そのようにすれば、注入角の浅いイオン注入とすれば、トレンチの側面には殆どイオンが注入されない。そして、かりにトレンチの側面に注入されたとしても、深さが浅いので、表面層の僅かな量のエッチングで除去できる。トレンチの底部には、ほぼ垂直に注入されるので、深く注入される。特に、トレンチ形成用の絶縁膜マスクを、トレンチ形成後に後退エッチングさせ、第一導電型不純物のイオン注入および熱処理により、第一導電型ソース領域と第一導電型ウェル領域とを同時に形成するものとする。

【0012】そのようにすれば、第一導電型ソース領域と第一導電型ウェル領域とを同時に形成できるので、フォトリソグラフィ工程を別々に行う必要が無く、工程が短縮できる。

【0013】

【発明の実施の形態】以下、実施例にもとづき、図を参照しながら本発明の実施の形態を説明する。なお、n、pを冠した領域、層等はそれぞれ電子、正孔を多数キャリアとする領域、層を意味するものとし、第一導電型をn型、第二導電型をp型とした例を示すが、これを逆にすることもできる。

【0014】[実施例1] 図1は、本発明第一の実施例のMOSFETの主要部の上層部分の部分断面図である。図に示した主要部以外に、主に周縁領域に耐圧を分担する部分があるが、本発明の本質に係る部分でないので、省略している。エピタキシャルウェハの成長層であるnドレイン層1の表面層にpチャネル領域2が形成され、そのpチャネル領域2の表面層にnソース領域3が形成されている。nソース領域3の表面からpチャネル領域2を貫通してnドレイン層1に達するトレンチ8が形成され、そのトレンチ8の内部には、ゲート酸化膜4を挟んで多結晶シリコンからなるゲート電極層5が充填されている。nソース領域3の表面上には、pチャネル領域2の表面に共通に接触するソース電極7が設けられている。この例では、絶縁膜6の上にソース電極7が延長されているが、必ずこのようにしなければならないわけではない。この実施例1のMOSFETが、従来のトレンチ型MOSFETと異なっている点は、トレンチ8の底面部分にnドレイン層1より不純物濃度の高いn<sup>+</sup>

ウェル領域10が設けられている点である。nドレイン層1の裏面には、図示されていない低抵抗のサブストレートとその裏面に設けられたドレイン電極がある。また、ゲート電極層5に接触する金属のゲート電極も図示されていない。

【0015】図3(a)～(e)は、図1のMOSFETの製造方法を示す主な製造工程ごとの断面図である。エピタキシャルウェハの成長層であるnドレイン層1の表面層には、まず素イオン、次いでひ素イオンの注入、熱処理によりpチャネル領域2、およびnソース領域3を形成し、更に表面にトレンチ形成のため酸化膜11を形成し、フォトリソグラフィにより、パターニングする〔図3(a)〕。例えば、エピタキシャルウェハのサブストレートは、 $1\text{m}\Omega\cdot\text{cm}$ で、厚さ $350\mu\text{m}$ 、nドレイン層は $0.55\Omega\cdot\text{cm}$ で、厚さ $10\mu\text{m}$ である。pチャネル領域2、nソース領域3の深さは、それぞれ $2.5\mu\text{m}$ 、 $0.6\mu\text{m}$ である。

【0016】酸化膜11のパターンをマスクとして、HBrガスをを用いたドライエッチングによりトレンチ8を形成する〔同図(b)〕。このときトレンチ8の深さは、pチャネル領域2の拡散深さより少し深くする。トレンチの寸法は、例えば、幅 $1\mu\text{m}$ 、深さ $2.7\mu\text{m}$ 、間隔 $3.5\mu\text{m}$ である。すなわち、トレンチ8の深さとpチャネル領域2の拡散深さとの差は約 $0.2\mu\text{m}$ となる。

【0017】トレンチ形成用の酸化膜11をそのまま使用し、燐イオン12を注入する〔同図(c)〕。イオン注入の条件は、加速電圧 $150\text{kV}$ 、ドーズ量を $1\times 10^{13}/\text{cm}^2$ とし、注入角は $0^\circ$ とする。注入角の浅いイオン注入とすれば、トレンチの側面には殆どイオンが注入されない。仮にトレンチの側面に注入されたとしても、深さが浅いので、表面層の僅かな量のエッチングで除去できる。トレンチの底部には、ほぼ垂直に注入されるので、深く注入される。13はイオン注入領域である。

【0018】酸化膜11を除去した後、熱酸化により、トレンチ内面に厚さ $100\text{nm}$ のゲート酸化膜4を形成する。 $(1050^\circ\text{C}, 60\text{分})$ この熱処理により、トレンチ8底部に注入された燐イオンが活性化され、拡散深さ $0.5\mu\text{m}$ の $\text{n}^+$ ウェル領域10が形成される〔同図(d)〕。減圧CVDにより、トレンチ8内にゲート電極層5となる多結晶シリコンを埋め込み、余分な多結晶シリコンをエッチングした後、CVDによりほうけい酸ガラス(BPSG)の絶縁膜6を堆積し、フォトリソグラフィにより、パターニングし、更にスパッタリングによりソース電極7となるアルミニウム合金層を堆積し、パターニングする〔同図(e)〕。図示していないが、nドレイン層1の裏面側にTi、Ni、Auの酸化膜層を蒸着してドレイン電極とする。

【0019】このように、トレンチ8の底部にnドレ

イン層1より抵抗率の低い $\text{n}^+$ ウェル領域10を設けることにより、ウェハ内でのオン抵抗のバラツキは大幅に改善され、5%以内となり、特性が安定した。また、オン抵抗の増大の問題が解決されるため、トレンチの深さは浅めの $0.1\sim 0.5\mu\text{m}$ の間に制御すればよいことになり、耐圧を高くできる。そして、トレンチ深さの許容範囲が広がって、製造が容易になった。

【0020】〔実施例2〕図4(a)～(e)は、図1のMOSFETの別の製造方法を示す主な製造工程ごとの断面図である。半導体基板であるnドレイン層1の表面層には素イオンの注入、熱処理によりpチャネル領域2を形成し、更に表面にトレンチ形成のため酸化膜11を形成し、フォトリソグラフィにより、パターニングする〔図4(a)〕。

【0021】酸化膜11のパターンをマスクとして、ドライエッチングによりトレンチ8を形成する〔同図(b)〕。ウェットエッチングでトレンチ形成マスクとして使用した酸化膜11のパターンを後退エッチングし、トレンチ8の開口付近のpチャネル領域2の表面を露出させた後、ひ素イオンを注入する〔同図(c)〕。13はひ素イオン注入領域である。トレンチ8の底部だけでなく、開口部の近傍にもイオン注入され、ソース領域3形成のためのイオン注入となる。従ってこのイオン注入のドーズ量は、実施例1より多く、 $5\times 10^{13}/\text{cm}^2$ 程度とするのがよい。

【0022】酸化膜11を除去した後、熱酸化により、トレンチ内部にゲート酸化膜4を形成する。このとき、熱処理により、pチャネル領域2の表面層およびトレンチ8底部に注入されたひ素イオンが活性化され、nソース領域3、 $\text{n}^+$ ウェル領域10が形成される〔同図(d)〕。この後、実施例1と同様にして、トレンチ8内にゲート電極層5となる多結晶シリコンを埋め込み、余分な多結晶シリコンをエッチングした後、CVDにより絶縁膜6を堆積し、フォトリソグラフィにより、パターニングし、更にスパッタリングによりソース電極7となるアルミニウム合金層を堆積し、パターニングする〔同図(e)〕。

【0023】このような方法をとれば、 $\text{n}^+$ ウェル領域10を形成するためのイオン注入を特別に行う必要がなく、実施例1の製造方法より工程が短縮できる。

〔実施例3〕図2は、本発明第二の実施例のMOSFETのセル断面図である。この例は、nソース領域3の表面からトレンチ8が形成され、そのトレンチ8の底部に $\text{n}^+$ ウェル領域10が形成されているのは、図1の実施例1と同様であるが、トレンチ8の深さがpチャネル領域2の拡散深さより浅い点が異なっている。ただし、トレンチ8の底部に形成された $\text{n}^+$ ウェル領域10が、nドレイン層1に達している。

【0024】図5(a)～(e)は、図2のMOSFETの製造方法を示す主な製造工程ごとの断面図である。

半導体基板であるnドレイン層1の表面層にほう素イオン、次いでヒ素イオンの注入、熱処理によりpチャネル領域2、およびnソース領域3を形成し、更に表面にトレンチ形成のため酸化膜11を形成し、フォトリソグラフィにより、パターニングする〔図5(a)〕。

【0025】酸化膜11のパターンをマスクとして、ドライエッチングによりトレンチ8を形成する〔同図(b)〕。このときトレンチ8の深さは、pチャネル領域2の拡散深さより少し浅くする。トレンチ形成用の酸化膜11をそのままマスクとして使用し、燐イオンを注入する〔同図(c)〕。この時注入角は0°とする。13はイオン注入領域である。

【0026】酸化膜11を除去した後、熱酸化により、トレンチ内部にゲート酸化膜4を形成する。このとき、熱処理により、トレンチ8底部に注入された燐イオンが活性化され、nドレイン層1に接するn+ウェル領域10が形成される〔同図(d)〕。減圧CVDにより、トレンチ8内にゲート電極層5となる多結晶シリコンを埋め込み、余分な多結晶シリコンをエッチングした後、CVDにより絶縁膜6を堆積し、フォトリソグラフィにより、パターニングし、更にスパッタリングによりソース電極7となるアルミニウム合金層を堆積し、パターニングする〔同図(e)〕。

【0027】この場合、従来なら、反転層が形成されないためMOS半導体装置は動作しないが、本実施例のようにトレンチ8の底部にnドレイン層1より抵抗率の低いn+ウェル領域10を設けることにより、トレンチ8の深さがpチャネル領域2の拡散深さより浅い場合でも、反転層がnソース領域3からnドレイン層1までつながり、動作可能となる。

【0028】このようにすることにより、ウェハ内でのオン抵抗のバラツキ等が大幅に改善され、また、トレンチ深さの許容範囲が広くなり、製造が容易になった。

【0029】

【発明の効果】以上説明したように本発明によれば、トレンチ内にゲート絶縁膜を介してゲート電極層が設けられたトレンチ型MOS半導体装置において、トレンチの底部に高濃度の第一導電型ウェル領域を設けることによって、オン抵抗が安定し、トレンチの深さと第二導電型チャネル領域の深さとの差 $x$ を小さい値としても従来のようなオン抵抗の増大が無いため、耐圧を高く保てるよ

うになる。また差 $x$ の許容範囲が広くなり、製造が容易になる。

【0030】トレンチ深さが第二導電型チャネル領域より浅い場合でも、第一導電型ドレイン層に達する第一導電型ウェル領域を設けることによって、トレンチ型MOS半導体装置が動作させられることから、 $x$ の許容範囲は更に広くなり、結晶の実力に近い耐圧を引き出すことができるため、耐圧が向上する。本発明の様なトレンチ型MOS半導体装置の製造方法としては、第一導電型不純物のイオン注入および熱処理により第一導電型ウェル領域を形成するとよい。また、トレンチ形成後、その形成に用いた絶縁膜パターンを後退エッチングさせることにより、イオン注入および熱処理を同時におこない、工程を短縮できることを示した。

【図面の簡単な説明】

【図1】本発明実施例1のMOSFETの部分断面図

【図2】本発明実施例2のMOSFETの部分断面図

【図3】(a)～(e)は図1の実施例1のMOSFETの製造工程順の断面図

【図4】(a)～(e)は図1の実施例1のMOSFETの別の製造方法による製造工程順の断面図

【図5】(a)～(e)は図2の実施例2のMOSFETの製造工程順の断面図

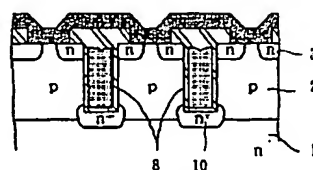
【図6】従来のMOSFETの部分断面図

【図7】トレンチ深さとpチャネル領域の拡散深さとの差 $x$ による耐圧の変化を示す特性図

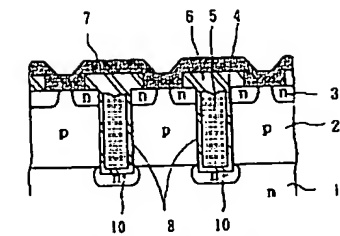
【符号の説明】

- |    |           |
|----|-----------|
| 1  | nドレイン層    |
| 2  | pチャネル領域   |
| 3  | nソース領域    |
| 4  | ゲート酸化膜    |
| 5  | ゲート電極層    |
| 6  | 絶縁膜(BPSG) |
| 7  | ソース電極     |
| 8  | トレンチ      |
| 9  | ドレイン電極    |
| 10 | n+ウェル領域   |
| 11 | 酸化膜       |
| 12 | 燐イオン      |
| 13 | イオン注入領域   |

【図2】

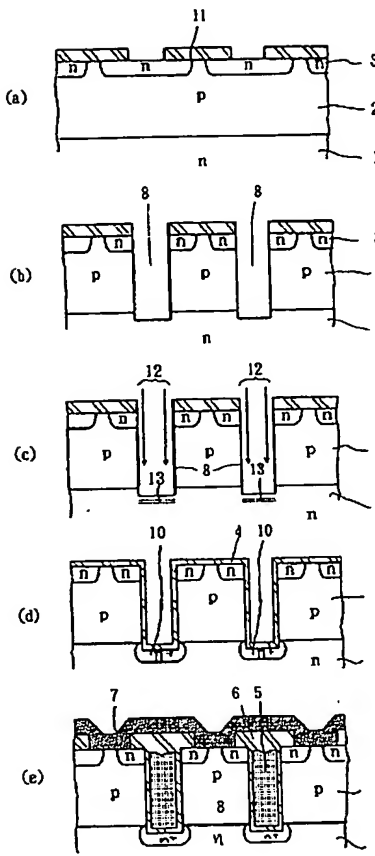


【図1】

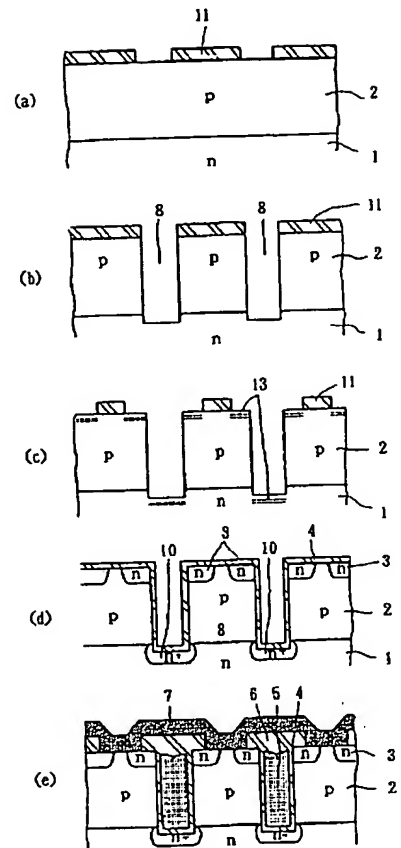


- 1 n ドレイン層  
2 p チャネル領域  
3 n ソース領域  
4 ゲート酸化膜  
5 ゲート電極層  
6 絶縁膜  
7 ソース電極  
8 トレンチ  
10 n' ウェル領域

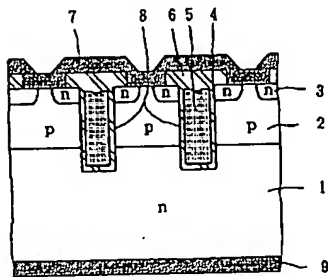
【図3】



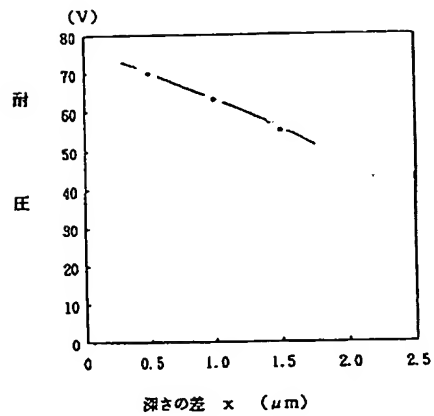
【図4】



【図6】



【図7】



【図5】

